

[illegible]

Byoung-taek LEE et al.

Serial No. (NEW)

Filed: March 26, 1999

CLAIM OF PRIORITY

Sir:

Applicants in the above-identified application, hereby claim the priority date under the International Convention of the following Korean application:

Appln. No. 1998-10584

filed: March 26, 1998

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

JONES, VOLENTINE, STEINBERG & WHITT, L.L.P.

By: Brian Carter

Brian C. Altmiller
Registration No. 37,271

BCA:tmd

JONES, VOLANTINE, STEINBERG & WHITT, L.L.P.
12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870

Dated: March 26, 1999

15325 U.S. PTO
09/276803
03/26/99

대한민국 특허청

KOREAN INDUSTRIAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원 번호 : 1998년 특허출원 제10584호
Application Number

출원 년 월 일 : 1998년 3월 26일
Date of Application

출원인 : 삼성전자주식회사
Applicant(s)

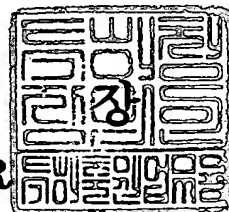
199 8 년 4 월 15 일

특

허

청

COMMISSIONER



특허출원서

【출원번호】 98-010584

【출원일자】 98/03/26

【발명의 국문명칭】 고유전율의 유전막을 갖는 반도체장치의 커패시터 제조방법

【발명의 영문명칭】 Manufacturing method of capacitor having dielectric film of high dielectric constant in semiconductor device

【출원인】

【국문명칭】 삼성전자 주식회사

【영문명칭】 Samsung Electronics Co., Ltd.

【대표자】 윤종용

【출원인코드】 14001979

【출원인구분】 국내상법상법인

【전화번호】 0331-200-3443

【우편번호】 442-373

【주소】 경기도 수원시 팔달구 매탄동 416번지

【국적】 KR

【대리인】

【성명】 이영필

【대리인코드】 H228

【전화번호】 02-588-8585

【우편번호】 137-070

【주소】 서울특별시 서초구 서초동 1571-18

【대리인】

【성명】 권석홍

【대리인코드】 A409

【전화번호】 02-588-8585

【우편번호】 137-070

【주소】 서울특별시 서초구 서초동 1571-18

【대리인】

【성명】 정상빈

【대리인코드】 K206

【전화번호】 02-588-8585

【우편번호】 137-073

【주소】 서울특별시 서초구 서초동 1571-18

【발명자】

【국문성명】 이병택

【영문성명】 LEE, Byoung Taek

【주민등록번호】 650620-1036410

【우편번호】 151-050

【주소】 서울특별시 관악구 봉천동 1000 현대관악아파트 101동 1105호

【국적】 KR

【발명자】

【국문성명】 이기훈

【영문성명】 LEE, Ki Hoon

【주민등록번호】 680117-1122724

【우편번호】 449-840

【주소】 경기도 용인시 수지읍 풍덕천리 풍림아파트 107동 1005호

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인 이영필 (인)

대리인 권석홍 (인)

대리인 정상빈 (인)

【심사청구】 특허법 제60조의 규정에 의하여 위와 같이 출원심사를 청구합니다.

대리인 이영필 (인)

대리인 권석홍 (인)

대리인 정상빈 (인)

【수신처】 특허청장 귀하

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 12 면 12,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 31 항 1,101,000 원

【합계】 1,142,000 원

【첨부서류】 1. 요약서, 명세서(및 도면) 각 1통

2. 출원서 부분, 요약서, 명세서(및 도면)을 포함하는 FD부분 1통

3. 위임장(및 동 번역문)

【요약서】

【요약】

본 발명은 반도체 기판 상에 하부 전극, 고유전막, 상부 전극 및 층간 절연막이 순차적으로 형성되는 반도체 장치의 커패시터 제조방법에 있어서, 상기 고유전막 형성 후, 상기 상부 전극 형성 후 또는 상기 층간 절연막을 형성한 후, 상기 반도체 기판을 불활성 분위기의 제1 온도에서 후속 열처리하고 상기 제1 온도보다 낮은 제2 온도에서 후속 열처리하거나, 상기 고유전막 형성후 제1 온도에서 후속 열처리하고 상기 상부 전극 형성 후 제2 온도에서 후속열처리 하는 단계를 더 포함한다. 상기 제1 온도는 600~900℃이며, 제2 온도는 100~600℃이다. 이로써, 본 발명은 고유전막의 유전율을 증가시키면서 누설전류를 감소시킬 수 있다.

【대표도】

도 5

【명세서】

【발명의 명칭】

고유전율의 유전막을 갖는 반도체 장치의 커패시터 제조방법

【도면의 간단한 설명】

도 1 내지 도 4는 본 발명의 제1 실시예에 의한 고유전막을 갖는 반도체 장치의 커패시터 제조방법을 설명하기 위한 단면도들이고,

도 5는 본 발명의 제1 실시예에 의한 반도체 커패시터의 제조방법을 설명하기 위한 흐름도이고,

도 6은 본 발명의 제2 실시예에 의한 반도체 장치의 커패시터 제조방법을 설명하기 위한 흐름도이고,

도 7은 본 발명의 제3 실시예에 의한 반도체 장치의 커패시터 제조방법을 설명하기 위한 흐름도이고,

도 8은 본 발명의 제4 실시예에 의한 반도체 장치의 커패시터 제조방법을 설명하기 위한 흐름도이고,

도 9는 종래의 후속 열처리 방법에 따른 반도체 장치의 커패시터의 커패시턴스를 설명하기 위하여 나타낸 그래프이고,

도 10은 본 발명의 후속 열처리 방법에 따른 반도체 장치의 커패시터의 커패시턴스를 설명하기 위하여 나타낸 그래프이고,

도 11은 본 발명의 후속 열처리에 따른 반도체 장치의 커패시터의 누설전류 특성을 설명하기 위한 그래프이고,

도 12는 본 발명에 따른 반도체 장치의 커패시터의 누설전류 특성을 설명하기 위한 그래프이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

본 발명은 반도체 장치의 제조방법에 관한 것으로, 보다 상세하게는 고유전율의 유전막(이하, "고유전막"이라 함)을 갖는 반도체 장치의 커패시터 제조방법에 관한 것이다.

반도체 장치, 예컨대 DRAM(Dynamic Random Access Memory) 반도체 장치의 집적도가 증가함에 따라 제한된 셀 면적 내에서 커패시터로 사용되는 면적이 점차 감소되어 산화막, 질화막 등과 같은 유전막으로 반도체 장치의 동작에 필요한 커패시턴스를 얻기가 어려워지고 있다. 따라서, 커패시턴스를 증가시키기 위해, 커패시터의 유전막을 박막화하거나 스토리지 전극을 3차원 구조로 형성하는 방법들이 제안되고 있다. 그러나, 상기 종래의 유전막으로는 스토리지 노드를 3차원 구조로 형성하는 경우에도 고집적 반도체 장치의 소자에 필요한 커패시턴스를 얻기가 어려워지고 있다.

이러한 문제를 해결하기 위해 반도체 장치의 커패시터에 이용되는 유전막을 고유전막, 예컨대 BaSrTiO_3 (이하, "BST"라함)막으로 대체하는 방법이 제안되었다. 상기 고유전막을 커패시터로 채용할 경우 후속공정동안에 고유전막과 상하부 전극 사이의 반응을 억제하고 고유전막으로부터 높은 커패시턴스를 얻기 위해 상하부 전

극으로 귀금속 전극을 사용해야 한다. 그리고, 상기 귀금속 전극은 실리콘과 반응성이 강하기 때문에 귀금속 전극과 고유전막 사이에 배리어막(barrier layer)을 형성하여야 한다. 그러나, 상기 고유전막을 실제의 반도체 장치에 채용할 때 상기 배리어막이 후속되는 공정동안에 산화되어 전극이 단락되거나 누설전류(leakage current)가 증가하는 문제점이 발생한다.

【발명이 이루고자 하는 기술적 과제】

따라서, 본 발명이 이루고자 하는 기술적 과제는 고유전막을 커패시터에 채용할 때 배리어막의 산화를 억제하고 누설전류를 감소시킬 수 있는 반도체 장치의 커패시터 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

상기 기술적 과제를 달성하기 위하여, 본 발명은 반도체 기판 상에 하부 전극, 고유전막, 상부 전극 및 층간 절연막이 순차적으로 형성되는 반도체 장치의 커패시터 제조방법에 있어서, 상기 고유전막 형성 후, 상기 상부 전극 형성 후 또는 상기 층간 절연막을 형성한 후, 상기 반도체 기판을 불활성 분위기의 제1 온도, 예컨대 600~900℃에서 후속 열처리하는 단계와, 상기 제1 온도에서 후속 열처리된 반도체 기판을 상기 제1 온도보다 낮은 제2 온도, 예컨대 100~600℃의 온도에서 후속 열처리하는 단계를 더 포함하여 이루어진다.

또한, 본 발명은 반도체 기판 상에 하부 전극, 고유전막, 상부 전극 및 층간 절연막이 순차적으로 형성되는 반도체 장치의 커패시터 제조방법에 있어서, 상기 고유전막 형성된 반도체 기판을 불활성 분위기의 제1 온도, 예컨대 600~900℃에

서 후속 열처리하고, 상기 상부 전극이 형성후 반도체 기판을 상기 제1 온도에서 후속 열처리된 반도체 기판을 상기 제1 온도보다 낮은 제2 온도, 예컨대 100~600°C의 온도에서 후속 열처리하는 단계를 더 포함하여 이루어진다.

상기 고유전막은 $(\text{Sr}, \text{Ti})\text{O}_3$, $(\text{Ba}, \text{Sr})\text{TiO}_3$, $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 또는 $(\text{Pb}, \text{La})(\text{ZrTi})\text{O}_3$ 등의 페로브스카이트 구조를 갖는 유전체로 형성할 수 있다. 상기 상부 전극 및 하부 전극은 Pt, Ru, Ir, IrO_2 , RuO_2 , SrRuO_3 , CaSrRuO_3 , BaSrRuO_3 , Pt를 포함하는 합금, Ru를 포함하는 합금 또는 Ir을 포함하는 합금 등의 페로브스카이트 구조를 갖는 전도체로 형성할 수 있다. 상기 제1 온도 및 제2 온도에서의 후속 열처리는 각각 따로 수행하거나 인시츄(in-situ)로 수행할 수 있다. 상기 제1 온도 및 제2 온도에서의 후속 열처리는 노에서 진행하거나 급속 진공 열처리 장비에서 수행할 수 있다.

본 발명의 반도체 장치의 커패시터 제조방법에 의하면, 고유전막 증착 후, 상부 전극 형성 후 또는 층간 절연막 형성 후에 불활성분위기의 고온에서 열처리한 후 저온에서 다시 열처리하거나, 고유전막 형성후 고온에서 열처리하고 상부 전극 형성후 저온에서 열처리하여 상기 고유전막의 유전율을 증가시키면서 배리어막의 산화를 억제하여 누설전류를 감소시킬 수 있다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

도 1 내지 도 4는 본 발명의 제1 실시예에 의한 고유전막을 갖는 반도체 장치의 커패시터 제조방법을 설명하기 위한 단면도들이고, 도 5는 본 발명의 제1 실시예에 의한 반도체 커패시터의 제조방법을 설명하기 위한 흐름도이다.

도 1을 참조하면, 트랜지스터(도시하지 않음)가 형성된 반도체 기판(1), 예컨대 실리콘 기판 상에 콘택홀(2)을 갖는 제1 층간 절연막(3)을 형성한다(스텝 100). 상기 콘택홀(2)은 반도체 기판(1)의 소정 부분, 예컨대 상기 트랜지스터의 소오스 영역이 노출되도록 형성된다.

도 2를 참조하면, 상기 콘택홀(2)이 형성된 반도체 기판(1) 전면에 포스포러스(phosphorous)와 같은 불순물이 도핑된 다결정 실리콘막을 증착한 후 화학기계적 연마하여 상기 콘택홀(2)에 매몰되는 매몰층(5)을 형성한다. 다음에, 상기 매몰층(5) 및 제1 층간 절연막(3)이 형성된 기판의 전면에 금속막, 예컨대 타이타늄을 증착한 후 열처리 및 식각함으로써 상기 매몰층(5) 상에 선택적으로 금속 실리사이드(7)를 형성한다. 이렇게 되면, 상기 콘택홀(2)에는 매몰층(5) 및 금속 실리사이드(7)로 이루어진(7) 플러그(plug, 5, 7)가 형성된다(스텝 105).

도 3을 참조하면, 상기 플러그(5, 7)가 형성된 반도체 기판(1)의 전면에 배리어막(9)을 형성한다. 상기 배리어막(9)은 상기 플러그(5, 7)의 구성 물질인 실리콘과 후에 형성되는 하부전극용 제1 도전막(11)과 반응하는 것을 방지하는 역할을 하는 것으로, Ti, TiN, TiAlN, TiSiN, TaN, TaALN 또는 TaSiN 등을 이용하여 형성한다. 다음에, 상기 배리어막(9) 상에 반도체 장치의 커패시터의 하부전극용 제1 도전막(11)을 형성한다(스텝 110). 상기 제1 도전막(11)은 Pt, Ru, Ir, IrO₂, RuO₂, SrRuO₃, CaSrRuO₃, BaSrRuO₃, Pt를 포함하는 합금, Ru를 포함하는 합금 또는 Ir을 포함하는 합금 등의 페로브스카이트 구조를 갖는 전도체로 형성한다. 상기 하부 전극용 제1 도전막(11)의 구성 물질로 비산화성 금속을 사용하는 이유는 고온에서 고유

전막을 형성할 때 제1 도전막이 산화되지 않는 불활성인 재료이기 때문이다. 다음에, 상기 하부 전극용 제1 도전막 (11)상에 산화막으로 마스크 패턴(13)을 형성한다.

도 4를 참조하면, 상기 마스크 패턴(13)을 마스크로 상기 제1 도전막(11) 및 배리어막(9)을 플라즈마 식각하여 배리어막 패턴(9a) 및 제1 도전막 패턴(11a)을 형성한다. 이로써, 배리어막 패턴(9a)와 상기 제1 도전막 패턴(11a)은 커패시터의 하부 전극이 된다(스텝 115). 이어서, 상기 마스크 패턴(13)을 제거한다. 계속하여, 상기 하부 전극(11a)이 형성된 반도체 기판(1)의 전면에 고유전막(15)을 400~510℃의 온도조건에서 스퍼터링방법으로 400~500Å의 두께로 형성한다(스텝 120). 상기 고유전막(15)은 $(\text{Sr}, \text{Ti})\text{O}_3$, $(\text{Ba}, \text{Sr})\text{TiO}_3$, $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 또는 $(\text{Pb}, \text{La})(\text{ZrTi})\text{O}_3$ 등의 페로브스카이트 구조를 갖는 유전체로 형성한다.

다음에, 후에 설명되는 바와 같이 커패시터의 높은 커패시턴스와 낮은 누설 전류를 얻기 위하여 고유전막(15)이 형성된 반도체 기판을 다단계의 공정으로 후속 열처리(post anneal)를 실시한다(스텝 125). 이를 자세히 살펴보면, 먼저 고유전막(15)이 형성된 반도체 기판(1)을 1차로 제1 온도, 예컨대 600~900℃에서 후속 열처리를 수행한다. 상기 제1 온도에서의 후속 열처리는 불활성 분위기, 예컨대 산소가 100ppm이하의 질소 분위기에서 노 또는 급속 진공 열처리 장비에서 수행한다. 다음에, 상기 1차로 후속 열처리된 반도체 기판(1)을 상기 제1 온도보다 낮은 제2 온도, 예컨대 100~600℃의 산소분위기에서 2차로 후속 열처리를 실시한다. 상기 제2 온도에서의 후속 열처리는 노(furnace) 또는 급속 진공 열처리 장비에서 수행

한다. 그리고, 상기 제1 온도 및 제2 온도에서의 후속열처리는 각각 따로 수행하거나 인시츄로 수행할 수 있다. 본 실시예에서, 상기 다단계의 후속 열처리를 제1 온도와 상기 제1 온도보다 낮은 제2 온도에서 두단계로 수행하는 것으로 설명되었으나, 상기 다단계의 후속열처리를 제1 온도, 제1 온도보다 낮은 제2 온도, 제2 온도보다 낮은 제3 온도 등의 3 단계이상으로 수행할 수도 있다.

다음에, 상기 고유전막(15) 상에 상부 전극용 제2 도전막(17)을 형성하여 커패시터를 완성한다(스텝 130). 상기 제2 도전막(17)은 상부 전극으로 Pt, Ru, Ir, IrO_2 , RuO_2 , SrRuO_3 , CaSrRuO_3 , BaSrRuO_3 , Pt를 포함하는 합금, Ru를 포함하는 합금 또는 Ir을 포함하는 합금 등의 페로브스카이트 구조를 갖는 전도체로 형성한다. 계속하여, 상기 상부 전극(17)이 형성된 반도체 기판(1)의 전면에 제2 층간 절연막(19)을 형성한다(스텝 135). 이후의 제조공정은 일반적인 반도체 장치 제조공정에 따른다.

도 6은 본 발명의 제2 실시예에 의한 반도체 장치의 커패시터 제조방법을 설명하기 위한 흐름도이다.

도 6에서 제1 실시예의 도 1 내지 도 5와 동일한 참조번호는 동일한 부재를 나타낸다. 본 발명의 제2 실시예는 다단계 열처리 단계를 상부 전극을 형성한 후 수행하는 것을 제외하고는 제1 실시예와 동일하다. 구체적으로, 반도체 기판(1) 상에 제1 실시예의 도 1 내지 도 4와 스텝 100~120을 수행하여 하부 전극(11a), 고유전막(15) 등을 동일하게 형성한다. 상기 고유전막(15)은 $(\text{Sr}, \text{Ti})\text{O}_3$, $(\text{Ba}, \text{Sr})\text{TiO}_3$, $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 또는 $(\text{Pb}, \text{La})(\text{ZrTi})\text{O}_3$ 등의 페로브스카이트 구조를 갖는 유전체로 형성

한다.

다음에, 상기 고유전막(15) 상에 제1 실시예의 스텝 130과 같이 상부 전극(17)을 형성한다(스텝 140). 상기 상부 전극(17)은 Pt, Ru, Ir, IrO₂, RuO₂, SrRuO₃, CaSrRuO₃, BaSrRuO₃, Pt를 포함하는 합금, Ru를 포함하는 합금 또는 Ir을 포함하는 합금 등의 페로브스카이트 구조를 갖는 전도체로 형성한다.

다음에, 후에 설명되는 바와 같이 커패시터의 높은 커패시턴스와 낮은 누설 전류를 얻기 위하여 상부 전극(17)이 형성된 반도체 기판(1)을 다단계의 공정으로 후속 열처리를 실시한다(스텝 145). 이를 자세히 살펴보면, 먼저 상부 전극(17)이 형성된 반도체 기판(1)을 1차로 제1 온도, 예컨대 600~900℃에서 후속 열처리를 수행한다. 상기 제1 온도에서의 후속 열처리는 불활성 분위기, 예컨대 산소가 100ppm이하의 질소 분위기에서 노 또는 급속 진공 열처리 장비에서 수행한다. 다음에, 상기 1차로 후속 열처리된 반도체 기판(1)을 상기 제1 온도보다 낮은 제2 온도, 예컨대 100~600℃에서 2차로 후속 열처리를 실시한다. 상기 제2 온도에서의 후속 열처리는 노 또는 급속 진공 열처리 장비에서 수행한다. 그리고, 상기 제1 온도 및 제2 온도에서의 후속 열처리는 각각 따로 수행하거나 인시츄로 수행할 수 있다. 본 실시예에서, 상기 다단계의 후속 열처리를 제1 온도와 상기 제1 온도보다 낮은 제2 온도에서 두단계로 수행하는 것으로 설명되었으나, 상기 다단계의 후속 열처리를 제1 온도, 제1 온도보다 낮은 제2 온도, 제2 온도보다 낮은 제3 온도 등의 3 단계이상으로 수행할 수도 있다.

계속하여, 상기 하부 전극(11a), 고유전막(15) 및 상부 전극(17)이 형성된

반도체 기판(1)의 전면에 제2 층간 절연막(19)을 형성한다(스텝 150). 이후의 제조 공정은 일반적인 반도체 장치 제조공정을 따른다.

도 7은 본 발명의 제3 실시예에 의한 반도체 장치의 커패시터 제조방법을 설명하기 위한 흐름도이다. 도 7에서 제1 실시예의 도 1 내지 도 5와 동일한 참조번호는 동일한 부재를 나타낸다. 본 발명의 제3 실시예는 다단계 열처리를 제2 층간 절연막을 형성한 후 수행하는 것을 제외하고는 제1 실시예와 동일하다.

구체적으로, 반도체 기판(1) 상에 제1 실시예의 도 1 내지 도 4 및 공정 스텝 100~120과 같이 하부 전극(11a), 고유전막(15) 등을 형성한다(스텝 120). 다음에, 상기 고유전막(15) 상에 제1 실시예의 스텝 130과 같이 상부 전극(17)을 형성한다(스텝 155). 상기 고유전막(15)은 $(\text{Sr}, \text{Ti})\text{O}_3$, $(\text{Ba}, \text{Sr})\text{TiO}_3$, $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 또는 $(\text{Pb}, \text{La})(\text{ZrTi})\text{O}_3$ 등의 페로브스카이트 구조를 갖는 유전체로 형성한다. 또한, 상기 상부 전극(17)은 Pt, Ru, Ir, IrO_2 , RuO_2 , SrRuO_3 , CaSrRuO_3 , BaSrRuO_3 , Pt를 포함하는 합금, Ru를 포함하는 합금 또는 Ir을 포함하는 합금 등의 페로브스카이트 구조를 갖는 전도체로 형성한다.

계속하여, 상기 상부 전극(17)이 형성된 반도체 기판(1)의 전면에 제2 층간 절연막(19)을 형성한다(스텝 160). 다음에, 후에 설명되는 바와 같이 커패시터의 높은 커패시턴스와 낮은 누설전류를 얻기 위하여 제2 층간 절연막(19)이 형성된 반도체 기판(1)을 다단계의 공정으로 후속 열처리를 실시한다(스텝 165). 이를 자세히 살펴보면, 먼저 제2 층간 절연막(19)이 형성된 반도체 기판(1)을 1차로 제1 온도, 예컨대 $600\sim 900^\circ\text{C}$ 에서 후속 열처리를 수행한다. 상기 제1 온도에서의 후속 열

처리는 불활성 분위기, 예컨대 산소가 100ppm이하의 질소 분위기에서 노 또는 급속 진공 열처리 장비에서 수행한다. 다음에, 상기 1차로 후속 열처리된 반도체 기판을 상기 제1 온도보다 낮은 제2 온도, 예컨대 100~600℃에서 2차로 후속 열처리를 실시한다. 상기 제2 온도에서의 후속 열처리는 산소가 포함된 분위기에서 노 또는 급속 진공 열처리 장비에서 수행한다. 그리고, 상기 제1 온도 및 제2 온도에서의 후속 열처리는 각각 따로 수행하거나 인시츄로 수행할 수 있다. 본 실시예에서, 상기 다단계의 후속 열처리를 제1 온도와 상기 제1 온도보다 낮은 제2 온도에서 두단계로 수행하는 것으로 설명되었으나, 상기 다단계의 후속열처리를 제1 온도, 제1 온도보다 낮은 제2 온도, 제2 온도보다 낮은 제3 온도 등의 3 단계이상으로 수행할 수도 있다. 이후의 제조공정은 일반적인 반도체 장치 제조공정을 따른다.

도 8은 본 발명의 제4 실시예에 의한 반도체 장치의 커패시터 제조방법을 설명하기 위한 흐름도이다. 도 8에서 제1 실시예의 도 1 내지 도 5과 동일한 참조번호는 동일한 부재를 나타낸다. 본 발명의 제4 실시예는 열처리를 고유전막을 형성한 제1 온도에서 열처리한 다음, 상부 전극을 형성한 후 제2 온도에서 열처리하는 것을 제외하고는 제1 실시예와 동일하다.

구체적으로, 반도체 기판(1) 상에 제1 실시예의 도 1 내지 도 4 및 공정 스텝 100~120과 같이 하부 전극(11a), 고유전막(15) 등을 형성한다(스텝 120). 다음에, 고유전막(15)이 형성된 반도체 기판(1)을 1차로 제1 온도, 예컨대 600~900℃에서 후속 열처리를 수행한다(스텝 170). 상기 제1 온도에서의 후속 열처리는 불활성 분위기, 예컨대 산소가 100ppm이하의 질소 분위기에서 노 또는 급속 진공 열처

리 장비에서 수행한다. 다음에, 상기 고유전막(15) 상에 제1 실시예의 스텝 130과 같이 상부 전극(17)을 형성한다(스텝 175). 상기 고유전막(15)은 $(\text{Sr}, \text{Ti})\text{O}_3$, $(\text{Ba}, \text{Sr})\text{TiO}_3$, $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 또는 $(\text{Pb}, \text{La})(\text{ZrTi})\text{O}_3$ 등의 페로브스카이트 구조를 갖는 유전체로 형성한다. 또한, 상기 상부 전극(17)은 Pt, Ru, Ir, IrO_2 , RuO_2 , SrRuO_3 , CaSrRuO_3 , BaSrRuO_3 , Pt를 포함하는 합금, Ru를 포함하는 합금 또는 Ir을 포함하는 합금 등의 페로브스카이트 구조를 갖는 전도체로 형성한다.

다음에, 상기 상부 전극 형성후, 1차로 후속 열처리된 반도체 기판(1)을 상기 제1 온도보다 낮은 제2 온도, 예컨대 $100 \sim 600^\circ\text{C}$ 의 산소분위기에서 2차로 후속 열처리를 실시한다(스텝 180). 상기 제2 온도에서의 후속 열처리는 노(furnace) 또는 급속 진공 열처리 장비에서 수행한다. 본 실시예에서, 상기 다단계의 후속 열처리를 제1 온도와 상기 제1 온도보다 낮은 제2 온도에서 두단계로 수행하는 것으로 설명되었으나, 상기 다단계의 후속열처리를 제1 온도, 제1 온도보다 낮은 제2 온도, 제2 온도보다 낮은 제3 온도 등의 3 단계이상으로 수행할 수도 있다.

계속하여, 상기 상부 전극(17)이 형성된 반도체 기판(1)의 전면에서 제2 층간 절연막(19)을 형성한다(스텝 185). 이후의 제조공정은 일반적인 반도체 장치 제조공정을 따른다.

여기서, 본 발명의 일 예에 따라 반도체 장치의 커패시터를 제조할 경우 커패시턴스 및 누설 전류 특성을 설명한다.

도 9는 종래의 후속 열처리 방법에 따른 반도체 장치의 커패시터의 커패시턴스를 설명하기 위하여 나타낸 그래프이다.

구체적으로, 도 9은 고유전막의 일 예로 BST막을 400℃에서 400Å의 두께로 증착한 경우로써, 본 발명에 적용한 후속 열처리와 다르게 적용된 것을 제외하고는 동일한 종래의 커패시터의 셀당 커패시턴스를 나타낸 그래프이다. 특히 참조부호 a는 커패시터 형성(도 6의 스텝140) 직후에, b는 산소가 포함된 분위기의 550℃ 노에서 후속 열처리 한 후, c는 산소가 포함된 분위기의 650℃의 노에서 후속 열처리 한 경우이다.

이를 자세하게 살펴보면, 커패시터를 형성한 직후에 커패시터의 커패시턴스(a)는 약 5fF/셀이나 550℃의 산소분위기에서 후속 열처리한 경우의 커패시턴스(b)는 16.5fF/셀로 증가한다. 그러나, 650℃의 산소분위기에서 후속 열처리한 경우의 커패시턴스(c)는 배리어막이 산화되어 커패시턴스가 1fF/셀 이하로 나타나기 때문에 고유전막 커패시터의 고유한 특성이 나타나지 않는다. 이로부터, 배리어막이 산화되지 않는 온도에서 후속 열처리는 커패시턴스가 어느 정도 증가하나, 배리어막이 산화되는 고온의 후속 열처리는 배리어막의 산화 때문에 커패시턴스가 감소한다. 그러므로, 실제의 커패시터에 고유전막을 적용하는 경우에는 배리어막의 산화를 억제할 수 있는 고온 열처리 방법이 필요하다.

도 10은 본 발명의 후속 열처리 방법에 따른 반도체 장치의 커패시터의 커패시턴스를 설명하기 위하여 나타낸 그래프이다.

구체적으로, 도 10은 고유전막의 일 예로 BST막을 450℃에서 400Å을 증착한 경우의 커패시터의 셀당 커패시턴스를 나타낸다. 여기서, 참조부호 a는 커패시터 형성 직후, b는 산소가 100ppm 이하의 질소분위기의 700℃의 노에서 후속 열처리를

한 경우이며, c는 b와 같이 1차로 질소분위기의 700℃ 고온의 노에서 후속 열처리한 후 다시 커패시터를 산소가 포함된 400℃ 저온의 노에서 2차로 후속 열처리한 본 발명의 경우이다.

이를 자세하게 살펴보면, 도 10에 설명된 BST막의 증착온도가 도 9에 설명된 커패시터 증착온도에 비하여 높아 커패시터 형성 직후 커패시턴스(a)는 도 9의 경우보다 증가하여 7.5fF/셀의 값을 보인다. 또한, 산소가 포함되지 않은 질소 분위기에서 후속 열처리한 커패시터의 커패시턴스(b)는 배리어막이 산화되지 않아 21fF/셀로 큰 값을 보여준다. 이상에서 보듯이 BST막을 실제 커패시터에 적용하는 과정에서는 배리어막의 산화가 일어나지 않는 분위기에서 후속 열처리를 하여야 높은 커패시턴스 값을 얻을 수 있다.

그러나, 본 발명자는 참조부호 b와 같이 고온에서 커패시터를 열처리하는 경우에는 커패시턴스는 증가하지만 후의 도 11에 설명되는 바와 같이 누설전류의 값이 커서 신뢰성 있는 커패시턴스를 얻을 수 없는 단점을 알 수 있었다. 이러한 누설 전류 증가는 고온 열처리 과정에서 BST막과 상하부 전극간의 스트레스 변화로 인한 스트레스 미스 매칭(mismatching)에 의한 것으로 여겨진다. 따라서, 본 발명자는 스트레스 미스 매칭을 해결하기 위하여 1차로 질소분위기에서 고온 열처리 후에 다시 저온에서 2차 열처리하여 스트레스를 완화시키고자 다단계 열처리를 수행하였다. 즉, 참조부호 c에 나타낸 바와 같이 1차로 700℃ 고온의 질소분위기에서 후속 열처리한 후, 다시 산소가 포함된 분위기의 400℃ 저온에서 2차로 후속 열처리를 수행하였다. 이렇게 다단계 후속 열처리한 경우의 커패시턴스(c)는 b와 오차

범위에서 비슷한 21fF/셀로 2차 후속 열처리에 의해서는 커패시턴스 변화는 없는 것을 알 수 있다. 그러나, 누설전류 특성은 도 10에서 볼 수 있듯이 다단계 열처리한 경우에 1V기준으로 5~6 차수(order)가 감소하는 우수한 효과를 보여준다.

도 11은 본 발명의 후속 열처리에 따른 반도체 장치의 커패시터의 누설전류 특성을 설명하기 위한 그래프이다.

구체적으로, 도 11은 커패시터를 제작한 후 후속 열처리한 경우의 누설전류 특성이다. 특히, 참조부호 a는 700℃에서 후속 열처리한 경우이고, b는 질소분위기의 700℃ 고온의 노에서 1차로 후속 열처리하고, 다시 산소가 포함된 400℃ 저온의 노에서 2차로 후속 열처리한 본 발명의 경우이다. 누설전류는 도 11에서 볼 수 있듯이 다단계 후속 열처리한 경우(b)가 질소 분위기에서 고온으로만 후속 열처리한 경우(a)에 비하여 1V기준으로 5~6 차수가 감소하는 우수한 효과를 보여준다.

도 12는 본 발명에 따른 반도체 장치의 커패시터의 누설전류 특성을 설명하기 위한 그래프이다.

구체적으로, 도 12는 제2 층간 절연막을 형성한 후, 후속 열처리한 경우의 커패시터의 누설전류 특성이며, 참조부호 a는 650℃ 고온의 질소분위지에서 후속 열처리한 경우이고, b는 650℃ 고온의 질소분위지의 노에서 1차로 후속 열처리하고, 산소가 포함된 400℃ 저온의 노에서 2차 후속 열처리한 본 발명의 경우이다. 이를 자세하게 살펴보면, 제2 층간 절연막 증착후의 후속 열처리로 커패시터 형성 직후(도 6의 스텝 140 직후)의 후속 열처리와 마찬가지로 다단계에 걸쳐 진행되는 경우(b)가 질소분위지에서 후속 열처리하는 경우(a)에 비하여 누설전류가 감소함

을 알 수 있다. 이상과 같은 다단계에 걸쳐 후속 열처리를 하는 방법은 고유전막 형성 직후, 상부 전극 형성 후, 상부 전극 상에 제2 층간 절연막을 증착한 후, 또는 고유전막 형성후 1차로 후속 열처리하고 상부 전극형성후 2차로 후속 열처리하는 경우에도 모두 동일하게 적용할 수 있다.

이상, 실시예를 통하여 본 발명을 구체적으로 설명하였지만, 본 발명은 이에 한정되는 것이 아니고, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식으로 그 변형이나 개량이 가능하다.

【발명의 효과】

상술한 바와 같이 본 발명의 반도체 장치의 커패시터 제조방법에 의하면, 고유전막 증착 후, 상부 전극 형성 후 또는 층간 절연막 형성 후 불활성의 고온에서 1차로 후속 열처리하고 2차로 저온에서 후속 열처리하거나, 상기 고유전막 증착후 1차로 불활성의 고온에서 후속 열처리하고 상기 상부 전극 형성후 2차로 후속 열처리하는 다단계 후속 열처리를 통하여 고유전막의 유전율을 증가시키면서 배리어막의 산화를 억제하여 누설전류를 감소시킬 수 있다.

【특허청구범위】

【청구항 1】

반도체 기판 상에 하부전극을 형성하는 단계;

상기 하부전극 상에 고유전막을 형성하는 단계;

상기 하부 전극 및 고유전막이 형성된 반도체 기판을 불활성 분위기의 제1 온도에서 후속 열처리하는 단계;

상기 제1 온도에서 후속 열처리된 반도체 기판을 상기 제1 온도보다 낮은 제2 온도에서 후속 열처리하는 단계; 및

상기 제1 온도 및 제2 온도에서 후속 열처리된 반도체 기판의 고유전막 상에 상부전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 2】

제1항에 있어서, 상기 고유전막은 $(\text{Sr}, \text{Ti})\text{O}_3$, $(\text{Ba}, \text{Sr})\text{TiO}_3$, $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 및 $(\text{Pb}, \text{La})(\text{ZrTi})\text{O}_3$ 로 이루어진 일군에서 선택된 하나인 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 3】

제1항에 있어서, 상기 상부 전극 및 하부 전극은 Pt, Ru, Ir, IrO_2 , RuO_2 , SrRuO_3 , CaSrRuO_3 , BaSrRuO_3 , Pt를 포함하는 합금, Ru를 포함하는 합금 및 Ir을 포함하는 합금으로 이루어진 일군에서 선택된 하나인 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 4】

제1항에 있어서, 상기 제1 온도에서의 후속 열처리는 600~900℃에서 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 5】

제1항에 있어서, 상기 제2 온도에서의 후속 열처리는 100~600℃의 온도에서 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 6】

제1항에 있어서, 상기 제1 온도 및 제2 온도에서의 후속 열처리는 각각 따로 수행하거나 인시츄로 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 7】

제1항에 있어서, 상기 제1 온도 및 제2 온도에서의 후속 열처리는 노에서 진행하거나 급속 진공 열처리 장비에서 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 8】

반도체 기판 상에 하부전극을 형성하는 단계;

상기 하부전극 상에 고유전막을 형성하는 단계;

상기 고유전막 상에 상부전극을 형성하는 단계;

상기 상부 전극이 형성된 반도체 기판을 불활성 분위기의 제1 온도에서 후속 열처리하는 단계; 및

상기 제1 온도에서 후속 열처리된 반도체 기판을 상기 제1 온도보다 낮은 제2 온도에서 후속 열처리하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 9】

제8항에 있어서, 상기 고유전막은 $(\text{Sr}, \text{Ti})\text{O}_3$, $(\text{Ba}, \text{Sr})\text{TiO}_3$, $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 및 $(\text{Pb}, \text{La})(\text{ZrTi})\text{O}_3$ 로 이루어진 일군에서 선택된 하나인 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 10】

제8항에 있어서, 상기 상부 전극 및 하부 전극은 Pt, Ru, Ir, IrO_2 , RuO_2 , SrRuO_3 , CaSrRuO_3 , BaSrRuO_3 , Pt를 포함하는 합금, Ru를 포함하는 합금 및 Ir을 포함하는 합금으로 이루어진 일군에서 선택된 하나인 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 11】

제8항에 있어서, 상기 제1 온도에서의 후속 열처리는 $600 \sim 900^\circ\text{C}$ 에서 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 12】

제8항에 있어서, 상기 제2 온도에서의 후속 열처리는 $100 \sim 600^\circ\text{C}$ 의 온도에서 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 13】

제8항에 있어서, 상기 제1 온도 및 제2 온도에서의 후속 열처리는 각각 따로

수행하거나 인시츄로 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 14】

제8항에 있어서, 상기 제1 온도 및 제2 온도에서의 후속 열처리하는 노에서 진행하거나 급속 진공 열처리 장비에서 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 15】

반도체 기판 상에 하부전극을 형성하는 단계;

상기 하부전극 상에 고유전막을 형성하는 단계;

상기 고유전막 상에 상부전극을 형성하는 단계;

상기 상부 전극 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막이 형성된 반도체 기판을 불활성 분위기의 제1 온도에서 후속 열처리하는 단계; 및

상기 제1 온도에서 후속 열처리된 반도체 기판을 상기 제1 온도보다 낮은 제2 온도에서 후속 열처리하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 16】

제15항에 있어서, 상기 고유전막은 $(\text{Sr}, \text{Ti})\text{O}_3$, $(\text{Ba}, \text{Sr})\text{TiO}_3$, $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 및 $(\text{Pb}, \text{La})(\text{ZrTi})\text{O}_3$ 로 이루어진 일군에서 선택된 하나인 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 17】

제15항에 있어서, 상기 상부 전극 및 하부 전극은 Pt, Ru, Ir, IrO₂, RuO₂, SrRuO₃, CaSrRuO₃, BaSrRuO₃, Pt를 포함하는 합금, Ru를 포함하는 합금 및 Ir을 포함하는 합금으로 이루어진 일군에서 선택된 하나인 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 18】

제15항에 있어서, 상기 제1 온도에서의 후속 열처리는 600~900℃에서 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 19】

제15항에 있어서, 상기 제2 온도에서의 후속 열처리는 100~600℃의 온도에서 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 20】

제15항에 있어서, 상기 제1 온도 및 제2 온도에서의 후속 열처리는 각각 따로 수행하거나 인시츄로 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 21】

제15항에 있어서, 상기 제1 온도 및 제2 온도에서의 후속 열처리는 노에서 진행하거나 급속 진공 열처리 장비에서 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 22】

반도체 기판 상에 하부 전극, 고유전막, 상부 전극 및 층간 절연막이 순차적으로 형성되는 반도체 장치의 커패시터 제조방법에 있어서,

상기 고유전막 형성 후, 상기 상부 전극 형성 후 또는 상기 층간 절연막을 형성한 후 상기 반도체 기판을 불활성 분위기의 제1 온도에서 후속 열처리하는 단계와, 상기 제1 온도에서 후속 열처리된 반도체 기판을 상기 제1 온도보다 낮은 제2 온도에서 후속 열처리하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 23】

제22항에 있어서, 상기 고유전막은 $(\text{Sr}, \text{Ti})\text{O}_3$, $(\text{Ba}, \text{Sr})\text{TiO}_3$, $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 및 $(\text{Pb}, \text{La})(\text{ZrTi})\text{O}_3$ 로 이루어진 일군에서 선택된 하나인 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 24】

제22항에 있어서, 상기 상부 전극 및 하부 전극은 Pt, Ru, Ir, IrO_2 , RuO_2 , SrRuO_3 , CaSrRuO_3 , BaSrRuO_3 , Pt를 포함하는 합금, Ru를 포함하는 합금 및 Ir을 포함하는 합금으로 이루어진 일군에서 선택된 하나인 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 25】

제22항에 있어서, 상기 제1 온도에서의 후속 열처리는 $600 \sim 900^\circ\text{C}$ 에서 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 26】

제22항에 있어서, 상기 제2 온도에서의 후속 열처리는 100~600℃의 온도에서 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 27】

반도체 기판 상에 하부전극을 형성하는 단계;

상기 하부전극 상에 고유전막을 형성하는 단계;

상기 하부 전극 및 고유전막이 형성된 반도체 기판을 불활성 분위기의 제1 온도에서 후속 열처리하는 단계;

상기 고유전막 상에 상부전극을 형성하는 단계;

상기 상부 전극이 형성된 반도체 기판을 상기 제1 온도보다 낮은 제2 온도에서 후속 열처리하는 단계; 및

상기 상부 전극 상에 층간 절연막을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 28】

제27항에 있어서, 상기 고유전막은 $(\text{Sr}, \text{Ti})\text{O}_3$, $(\text{Ba}, \text{Sr})\text{TiO}_3$, $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 및 $(\text{Pb}, \text{La})(\text{ZrTi})\text{O}_3$ 로 이루어진 일군에서 선택된 하나인 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 29】

제27항에 있어서, 상기 상부 전극 및 하부 전극은 Pt, Ru, Ir, IrO_2 , RuO_2 , SrRuO_3 , CaSrRuO_3 , BaSrRuO_3 , Pt를 포함하는 합금, Ru를 포함하는 합금 및 Ir을 포함하는 합금으로 이루어진 일군에서 선택된 하나인 것을 특징으로 하는 반도체 장

치의 커패시터 제조방법.

【청구항 30】

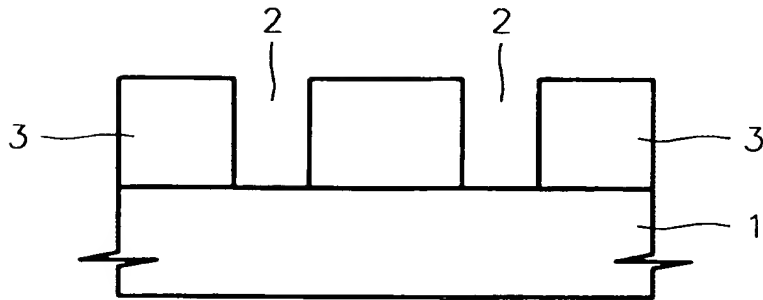
제27항에 있어서, 상기 제1 온도에서의 후속 열처리는 600~900℃에서 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【청구항 31】

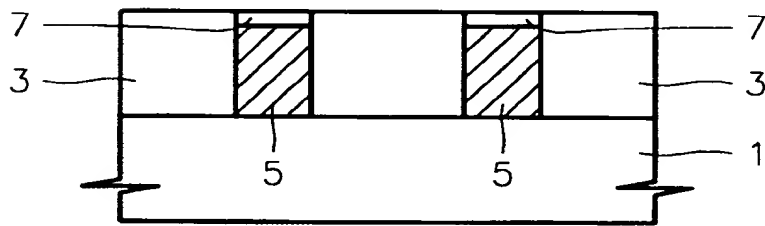
제27항에 있어서, 상기 제2 온도에서의 후속 열처리는 100~600℃의 온도에서 수행하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

【도면】

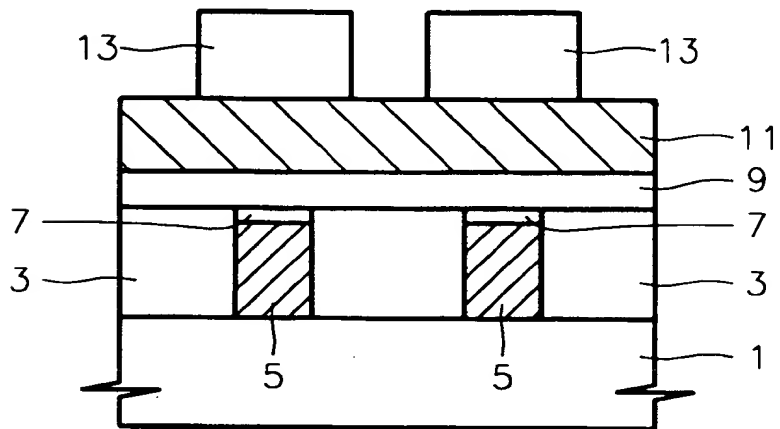
【도 1】



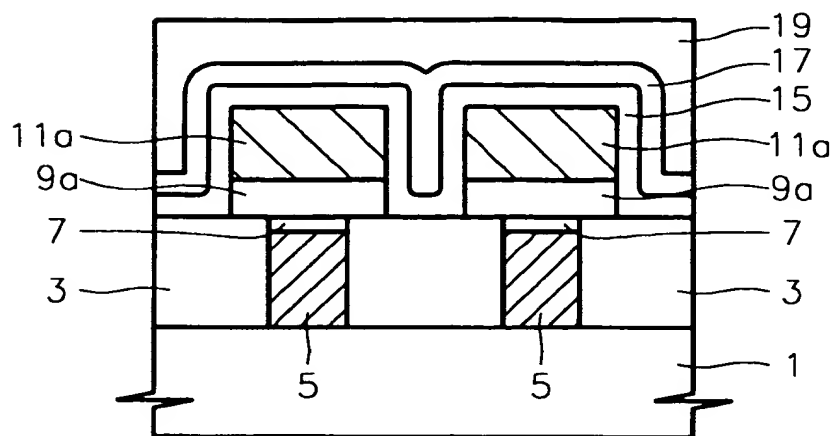
【도 2】



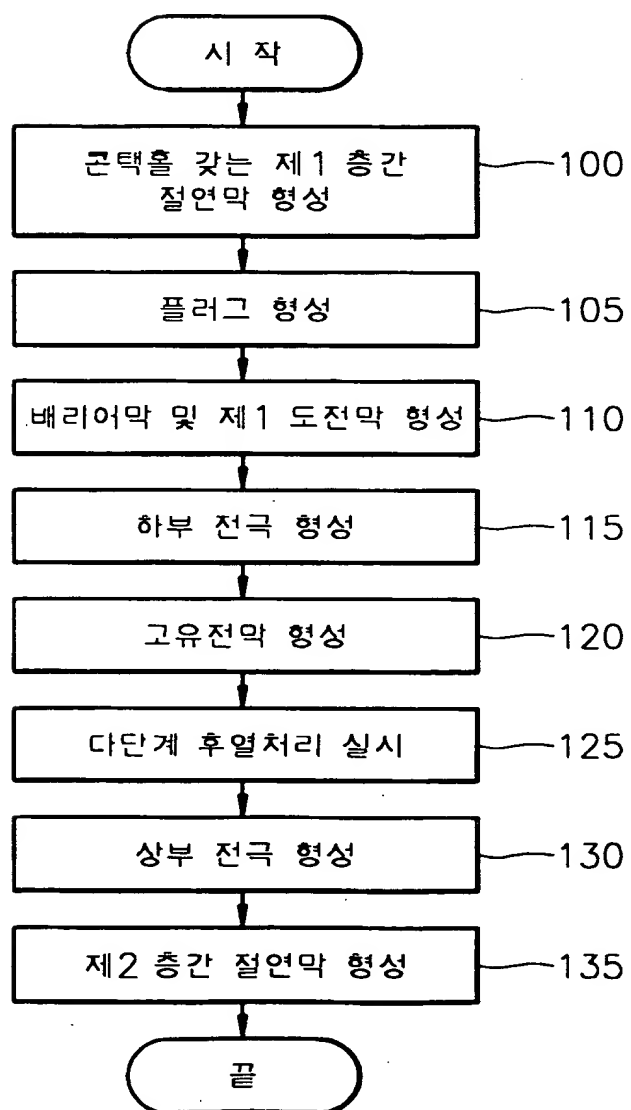
【도 3】



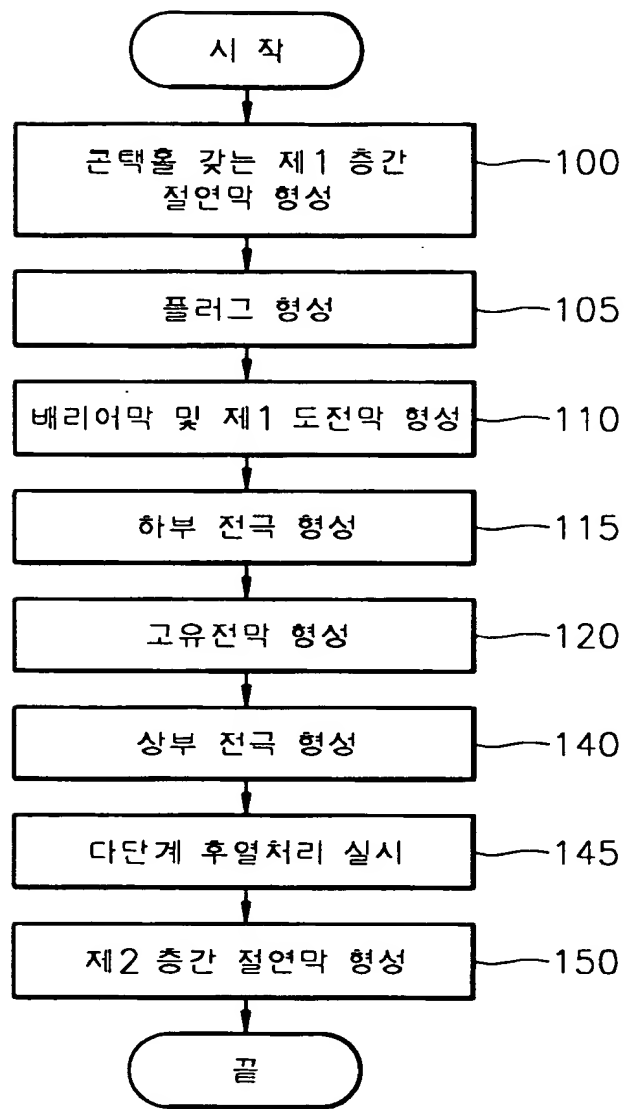
【도 4】



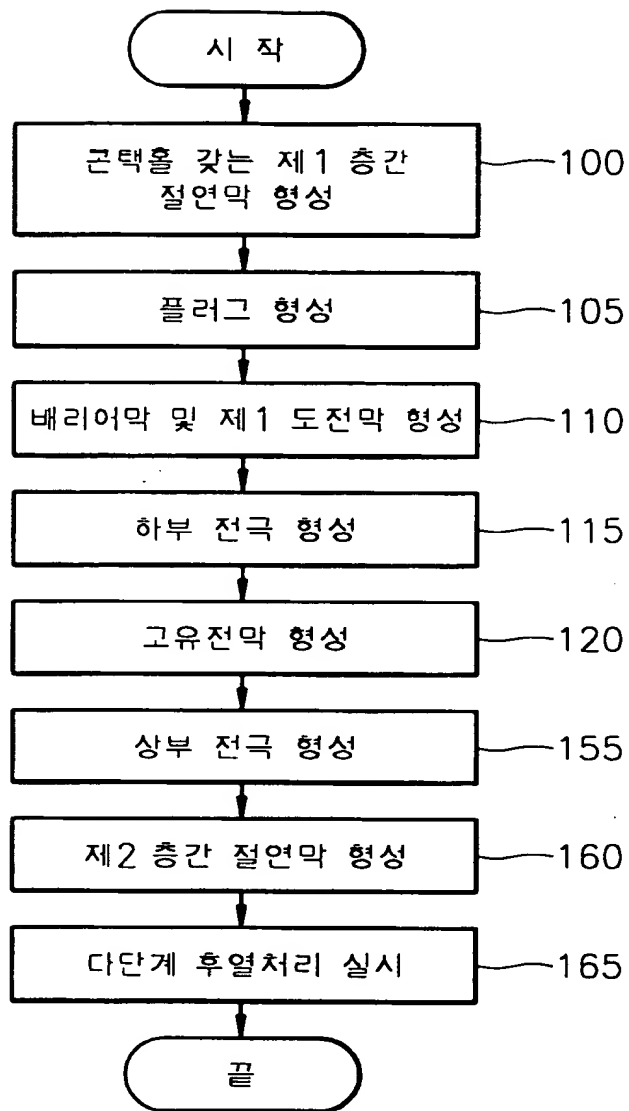
【도 5】



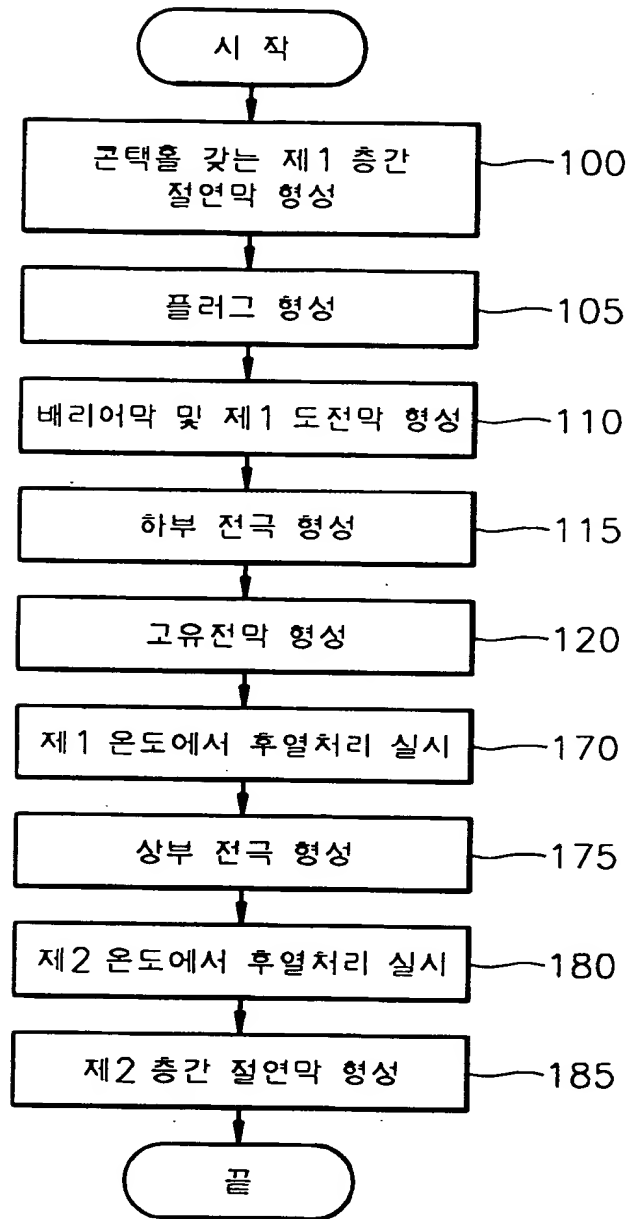
【도 6】



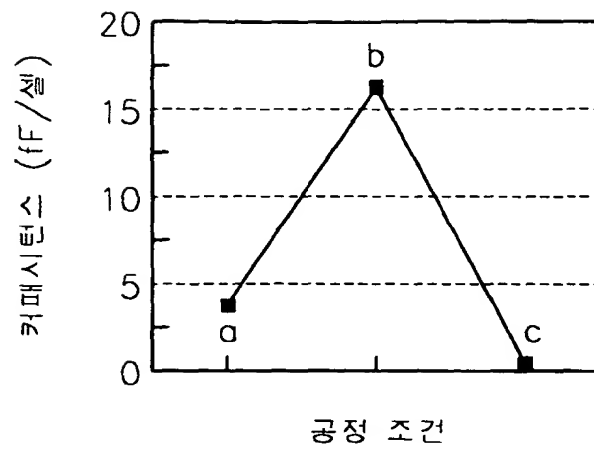
【도 7】



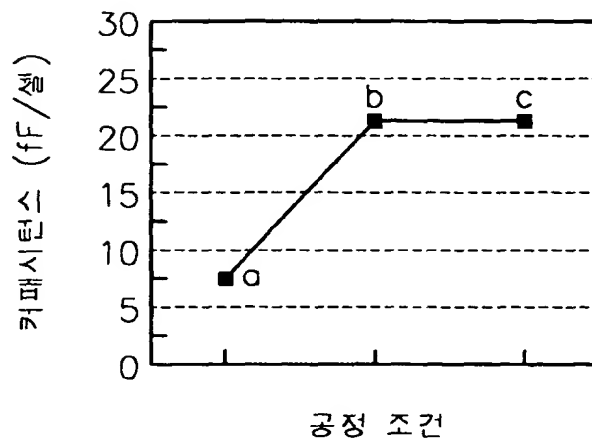
【도 8】



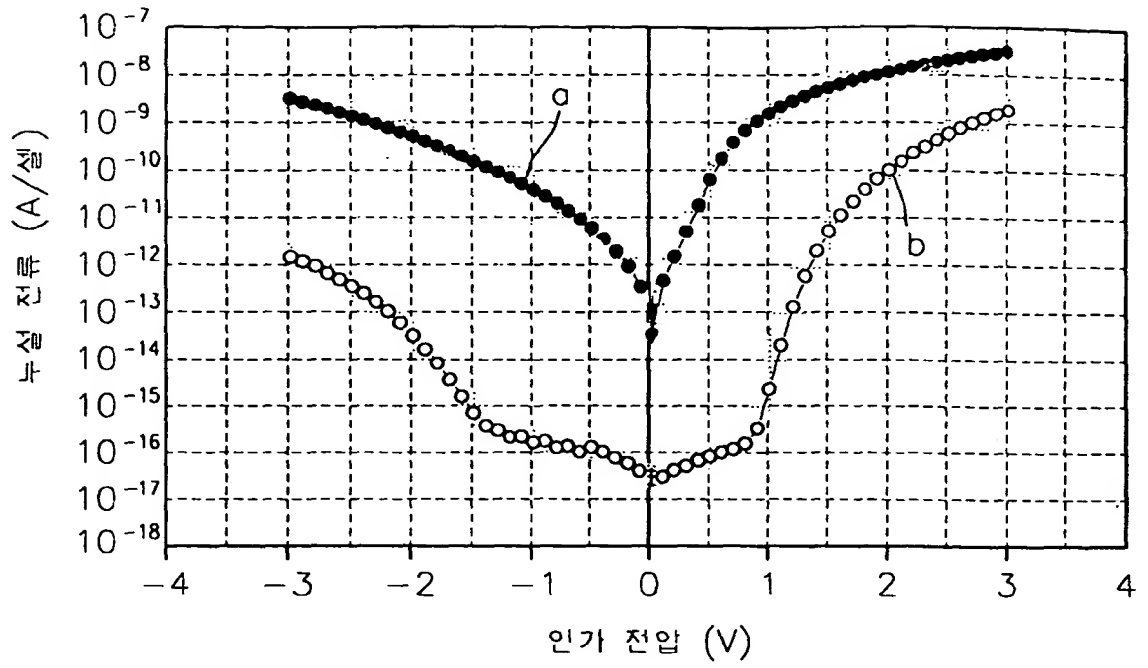
【도 9】



【도 10】



【도 11】



【도 12】

